

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kiyoshi HAYASE

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: MULTIPROCESSOR SYSTEM CAPABLE OF EFFICIENTLY DEBUGGING PROCESSORS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-330310	November 14, 2002

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月14日

出願番号

Application Number:

特願2002-330310

[ST.10/C]:

[JP2002-330310]

出願人

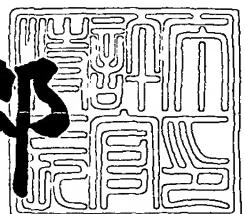
Applicant(s):

三菱電機株式会社

2002年12月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3097708

【書類名】 特許願
【整理番号】 542080JP01
【提出日】 平成14年11月14日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 11/22
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 早瀬 清
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100089233
【弁理士】
【氏名又は名称】 吉田 茂明
【選任した代理人】
【識別番号】 100088672
【弁理士】
【氏名又は名称】 吉竹 英俊
【選任した代理人】
【識別番号】 100088845
【弁理士】
【氏名又は名称】 有田 貴弘
【手数料の表示】
【予納台帳番号】 012852
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチプロセッサシステム

【特許請求の範囲】

【請求項1】 複数のプロセッサと、

前記複数のプロセッサのデバッグを実行する、少なくとも一つのデバッグ実行部と、

前記デバッグ実行部を制御する、少なくとも一つのコントローラと、

外部のデバッグ装置に接続される、一組の端子群と、

前記複数のプロセッサの中から、デバックを実行すべき少なくとも一つ又は全部のプロセッサを選択する選択回路と

を備える、マルチプロセッサシステム。

【請求項2】 前記複数のプロセッサは、第1及び第2のプロセッサを含み

前記デバッグ実行部は、前記第1のプロセッサに接続された第1のデバッグ実行部と、前記第2のプロセッサに接続された第2のデバッグ実行部とを含み、

前記コントローラは、前記第1のデバッグ実行部に接続された第1のコントローラと、前記第2のデバッグ実行部に接続された第2のコントローラとを含み、

前記選択回路は、前記第1及び第2のコントローラと前記端子群との間に接続されており、

前記選択回路は、前記デバッグ装置から前記端子群を介して入力されてきたデバッグ用の信号を、前記第1及び第2のコントローラのうちの一方又は双方に入力する、請求項1に記載のマルチプロセッサシステム。

【請求項3】 前記複数のプロセッサは、第1及び第2のプロセッサを含み

前記デバッグ実行部は、前記第1のプロセッサに接続された第1のデバッグ実行部と、前記第2のプロセッサに接続された第2のデバッグ実行部とを含み、

前記選択回路は、前記第1及び第2のデバッグ実行部と前記コントローラとの間に接続されており、

前記コントローラは、前記端子群に接続されており、

前記選択回路は、前記コントローラから出力されたデバッグ用の信号を、前記第1及び第2のデバッグ実行部のうちの一方又は双方に入力する、請求項1に記載のマルチプロセッサシステム。

【請求項4】 前記複数のプロセッサは、第1及び第2のプロセッサを含み

前記選択回路は、前記第1及び第2のプロセッサと前記デバッグ実行部との間に接続されており、

前記デバッグ実行部は前記コントローラに接続されており、

前記コントローラは前記端子群に接続されており、

前記選択回路は、前記デバッグ実行部から出力されたデバッグ用の信号を、前記第1及び第2のプロセッサのうちの一方又は双方に入力する、請求項1に記載のマルチプロセッサシステム。

【請求項5】 前記選択回路は、所定のレジスタの設定に基づいて、デバッグを実行すべき前記プロセッサを選択する、請求項1～4のいずれか一つに記載のマルチプロセッサシステム。

【請求項6】 前記選択回路は、外部から所定の端子に入力される選択信号に基づいて、デバッグを実行すべき前記プロセッサを選択する、請求項1～4のいずれか一つに記載のマルチプロセッサシステム。

【請求項7】 第1及び第2のプロセッサと、

前記第1のプロセッサに接続された第1のデバッグ実行部、及び前記第2のプロセッサに接続された第2のデバッグ実行部と、

前記第1のデバッグ実行部に接続された第1のコントローラ、及び前記第2のデバッグ実行部に接続された第2のコントローラと、

前記第1のコントローラに選択的に接続された第1の端子群、及び前記第2のコントローラに選択的に接続された第2の端子群と、

前記第1の端子群と前記第1及び第2のコントローラとの間に接続された選択回路と

を備え、

前記第1及び第2の端子群の双方にデバッグ装置がそれぞれ接続される第1モ

ードにおいて、前記選択回路は、前記第1のコントローラと前記第1の端子群とを接続するとともに、前記第2のコントローラと前記第2の端子群とを接続し、前記第1の端子群のみに前記デバッグ装置が接続される第2モードにおいて、前記選択回路は、前記デバッグ装置から前記第1の端子群を介して入力されてきたデバッグ用の信号を、前記第1及び第2のコントローラのうちの一方又は双方に入力する、マルチプロセッサシステム。

【請求項8】 前記第1モードと前記第2モードとの切り替えは、外部から所定の端子に入力される選択信号に基づいて行われる、請求項7に記載のマルチプロセッサシステム。

【請求項9】 前記第1モードと前記第2モードとの切り替えは、所定のレジスタの設定に基づいて行われる、請求項7に記載のマルチプロセッサシステム。

【請求項10】 前記第2の端子群に前記デバッグ装置が接続されているか否かを検出する検出回路をさらに備え、

前記第1モードと前記第2モードとの切り替えは、前記検出回路の検出結果に基づいて行われる、請求項7に記載のマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はマルチプロセッサシステムに関し、特に、プロセッサのデバッグを効率的に実行することが可能なマルチプロセッサシステムに関するものである。

【0002】

【従来の技術】

従来の第1のマルチプロセッサシステムでは、搭載されているプロセッサの個数と同数のデバッグ用端子群が設けられている。そして、各端子群にデバッグ装置をそれぞれ接続することにより、各デバッグ装置を用いて各プロセッサのデバッグが独立に行われている。

【0003】

従来の第2のマルチプロセッサシステムでは、一組のデバッグ用端子群が設け

られている。そして、各プロセッサに接続されている各TAPコントローラをシリアルに接続することにより、1台のデバッグ装置を用いて全てのプロセッサに関するデバッグが行われている。

【0004】

なお、プロセッサのデバッグに関する技術が、下記の特許文献1、2に記載されている。

【0005】

【特許文献1】

特開2000-73363号公報

【特許文献2】

特開2000-24201号公報

【0006】

【発明が解決しようとする課題】

しかしながら、従来の第1のマルチプロセッサシステムによると、搭載されているプロセッサの個数が増えると、それに応じてデバッグ用端子群及びデバッグ装置を追加する必要があるため、コストの上昇を招くという問題がある。

【0007】

また、従来の第2のマルチプロセッサシステムによると、常に全てのTAPコントローラを経由して全てのプロセッサに関するデバッグが行われるため、デバッグの所要時間が長くなるという問題がある。

【0008】

本発明はかかる問題を解決するために成されたものであり、コストの低減を図りつつ、複数のプロセッサのデバッグを効率的に実行することが可能なマルチプロセッサシステムを得ることを目的とする。

【0009】

【課題を解決するための手段】

第1の発明に係るマルチプロセッサシステムは、複数のプロセッサと、複数のプロセッサのデバッグを実行する、少なくとも一つのデバッグ実行部と、デバッグ実行部を制御する、少なくとも一つのコントローラと、外部のデバッグ装置に

接続される、一組の端子群と、複数のプロセッサの中から、デバックを実行すべき少なくとも一つ又は全部のプロセッサを選択する選択回路とを備える。

【0010】

第2の発明に係るマルチプロセッサシステムは、第1及び第2のプロセッサと、第1のプロセッサに接続された第1のデバッグ実行部、及び第2のプロセッサに接続された第2のデバッグ実行部と、第1のデバッグ実行部に接続された第1のコントローラ、及び第2のデバッグ実行部に接続された第2のコントローラと、第1のコントローラに選択的に接続された第1の端子群、及び第2のコントローラに選択的に接続された第2の端子群と、第1の端子群と第1及び第2のコントローラとの間に接続された選択回路とを備え、第1及び第2の端子群の双方にデバッグ装置がそれぞれ接続される第1モードにおいて、選択回路は、第1のコントローラと第1の端子群とを接続するとともに、第2のコントローラと第2の端子群とを接続し、第1の端子群のみにデバッグ装置が接続される第2モードにおいて、選択回路は、デバッグ装置から第1の端子群を介して入力されてきたデバッグ用の信号を、第1及び第2のコントローラのうちの一方又は双方に入力する。

【0011】

【発明の実施の形態】

以下、説明の簡略化のため2個のCPUを備えるマルチプロセッサシステムを例にとり、本発明の実施の形態について具体的に説明する。但し、CPUの数は2個に限定されるものではなく、3個以上のCPUを備えるマルチプロセッサに対しても、本発明は適用可能である。

【0012】

実施の形態1.

図1は、本発明の実施の形態1に係るマルチプロセッサシステムの構成を示すブロック図である。チップ1は、複数のCPU 7_0 , 7_1 と、CPU 7_0 , 7_1 のデバッグを実行するデバッグ実行部 8_0 , 8_1 と、デバッグ実行部 8_0 , 8_1 を制御するTAPコントローラ 9_0 , 9_1 と、CPU 7_0 , 7_1 の中から、デバックを実行すべき少なくとも一つのCPUを選択する選択回路10と、端子2～6を含む一組

の端子群とを備えている。CPU_{7₀}, 7₁は、それぞれデバッグ実行部8₀, 8₁に接続されており、デバッグ実行部8₀, 8₁は、それぞれTAPコントローラ9₀, 9₁に接続されている。選択回路10は、TAPコントローラ9₀, 9₁と端子2～6との間に接続されている。端子2～6には、JTAG規格に準拠したICE等のデバッグ装置（図示しない）が接続される。

【0013】

選択回路10は、TAPコントローラ100、レジスタ101、AND回路102～105、及びセレクタ106, 107を備えている。AND回路102の一方の入力端子は端子4に、他方の入力端子はレジスタ101に、出力端子はTAPコントローラ9₀のTMS端子に、それぞれ接続されている。AND回路103の一方の入力端子は端子5に、他方の入力端子はレジスタ101に、出力端子はTAPコントローラ9₀のTDI端子に、それぞれ接続されている。AND回路104の一方の入力端子は端子4に、他方の入力端子はレジスタ101に、出力端子はTAPコントローラ9₁のTMS端子に、それぞれ接続されている。AND回路105の一方の入力端子は端子5に、他方の入力端子はレジスタ101に、出力端子はTAPコントローラ9₁のTDI端子に、それぞれ接続されている。セレクタ106の一方の入力端子はTAPコントローラ9₀のTDO端子に、他方の入力端子はTAPコントローラ9₁のTDO端子に、出力端子はセレクタ107を介して端子6に、それぞれ接続されている。

【0014】

次に、本実施の形態1に係るマルチプロセッサシステムの動作について説明する。まず、デバッグを実行すべきCPUを選択するために、デバッグ装置又はCPU_{7₀}, 7₁からTAPコントローラ100にアクセスする。CPU_{7₀}のみのデバッグを実行する場合、TAPコントローラ100は、信号S11が「H(high)」、信号S12が「L(Low)」、信号S10が「L」になるように、レジスタ101を設定する。CPU_{7₁}のみのデバッグを実行する場合、TAPコントローラ100は、信号S11が「L」、信号S12が「H」、信号S10が「H」になるように、レジスタ101を設定する。CPU_{7₀}, 7₁の双方のデバッグを実行する場合、TAPコントローラ100は、信号S11, S12がともに「

H」になるように、レジスタ101を設定する。また、この場合、信号S10が順次に「L」「H」となるように、レジスタ101が設定される。

【0015】

信号S11は、AND回路102, 103の各他方の入力端子にそれぞれ入力される。信号S12は、AND回路104, 105の各他方の入力端子にそれぞれ入力される。信号S10は、セレクタ106の選択端子に入力される。

【0016】

次に、デバッグ装置から端子4を介して、AND回路102, 104の各一方の入力端子に、TMS信号がそれぞれ入力される。また、デバッグ装置から端子5を介して、AND回路103, 105の各一方の入力端子に、TDI信号がそれぞれ入力される。TAPコントローラ₉₀, ₉₁の各TCK端子には、デバッグ装置から端子2を介してTCK信号がそれぞれ入力され、TAPコントローラ₉₀, ₉₁の各TRS端子には、デバッグ装置から端子3を介してTRS信号がそれぞれ入力される。

【0017】

上記の通り、CPU₇₀のみのデバッグを実行する場合、信号S11は「H」、信号S12は「L」である。従って、TMS信号及びTDI信号は、AND回路102, 103の各出力端子から、TAPコントローラ₉₀のTMS端子及びTDI端子に、それぞれ入力される。一方、TAPコントローラ₉₁のTMS端子及びTDI端子には、TMS信号及びTDI信号は入力されない。

【0018】

TAPコントローラ₉₀は、所定のコマンドを生成してデバッグ実行部₈₀に入力する。デバッグ実行部₈₀は、CPU₇₀にブレーク要求、スタート要求、命令コードを入力し、CPU₇₀のデバッグが実行される。デバッグの結果に関するデータは、CPU₇₀からデバッグ実行部₈₀を介してTAPコントローラ₉₀に入力される。上記の通り、CPU₇₀のみのデバッグを実行する場合、信号S10は「L」である。また、セレクタ107は、通常はセレクタ106側に設定されている。従って、データは、TAPコントローラ₉₀のTDO端子から、セレクタ106, 107及び端子6を介して、外部に出力される。

【0019】

また、上記の通り、CPU7₁のみのデバッグを実行する場合、信号S11は「L」、信号S12は「H」である。従って、TMS信号及びTDI信号は、AND回路104, 105の各出力端子から、TAPコントローラ9₁のTMS端子及びTDI端子に、それぞれ入力される。一方、TAPコントローラ9₀のTMS端子及びTDI端子には、TMS信号及びTDI信号は入力されない。

【0020】

TAPコントローラ9₁は、所定のコマンドを生成してデバッグ実行部8₁に入力する。デバッグ実行部8₁は、CPU7₁にブレーク要求、スタート要求、命令コードを入力し、CPU7₁のデバッグが実行される。デバッグの結果に関するデータは、CPU7₁からデバッグ実行部8₁を介してTAPコントローラ9₁に入力される。上記の通り、CPU7₁のみのデバッグを実行する場合、信号S10は「H」である。また、セレクタ107は、通常はセレクタ106側に設定されている。従って、データは、TAPコントローラ9₁のTDO端子から、セレクタ106, 107及び端子6を介して、外部に出力される。

【0021】

さらに、上記の通り、CPU7₀, 7₁の双方のデバッグを実行する場合、信号S11, S12はともに「H」である。従って、TMS信号は、AND回路102, 104の各出力端子から、TAPコントローラ9₀, 9₁の各TMS端子に、それぞれ入力される。また、TDI信号は、AND回路103, 105の各出力端子から、TAPコントローラ9₀, 9₁の各TDI端子に、それぞれ入力される。その結果、上記と同様にしてCPU7₀, 7₁のデバッグが実行される。

【0022】

上記の通り、CPU7₀, 7₁の双方のデバッグを実行する場合、信号S10は順次に「L」「H」となる。従って、端子6からは、CPU7₀のデバッグの結果に関するデータ、及びCPU7₁のデバッグの結果に関するデータが、この順に出力される。

【0023】

このように本実施の形態1に係るマルチプロセッサシステムは、端子2～6を

含む一組の端子群のみを備える。そして、選択回路10によって、複数のCPU₇₀, ₇₁の中から、デバックを実行すべき少なくとも一つのCPUが選択される。従って、チップ1に搭載されているCPUの個数が増えたとしても、それに応じて端子2~6を追加する必要がない。その結果、一台のデバッグ装置のみを用いて複数のCPU₇₀, ₇₁のデバッグを実行できるため、コストの低減を図ることができる。

【0024】

また、選択回路10によって全てのCPU₇₀, ₇₁が選択された場合は、全てのCPU₇₀, ₇₁に関して同時にデバッグが行われる。そのため、複数のCPU₇₀, ₇₁を備えるマルチプロセッサシステムにおいて、CPU₇₀, ₇₁のデバッグを効率的に実行することができる。

【0025】

さらに、レジスタ101を用いた簡単な構成によって選択回路10が実現されているため、システムが大型化・複雑化することを、最小限にとどめることができる。

【0026】

実施の形態2.

図2は、本発明の実施の形態2に係るマルチプロセッサシステムの構成を示すブロック図である。チップ1は、CPU₇₀, ₇₁と、デバッグ実行部₈₀, ₈₁と、TAPコントローラ₉₀, ₉₁と、CPU₇₀, ₇₁の中から、デバックを実行すべき少なくとも一つのCPUを選択する選択回路20と、端子2~6と、端子21~23とを備えている。

【0027】

選択回路20は、AND回路200~203及びセレクタ204を備えている。AND回路200の一方の入力端子は端子4に、他方の入力端子は端子21に、出力端子はTAPコントローラ₉₀のTMS端子に、それぞれ接続されている。AND回路201の一方の入力端子は端子5に、他方の入力端子は端子21に、出力端子はTAPコントローラ₉₀のTDI端子に、それぞれ接続されている。AND回路202の一方の入力端子は端子4に、他方の入力端子は端子23に

、出力端子はTAPコントローラ9₁のTMS端子に、それぞれ接続されている。AND回路203の一方の入力端子は端子5に、他方の入力端子は端子23に、出力端子はTAPコントローラ9₁のTDI端子に、それぞれ接続されている。セレクタ204の一方の入力端子はTAPコントローラ9₀のTDO端子に、他方の入力端子はTAPコントローラ9₁のTDO端子に、出力端子は端子6に、それぞれ接続されている。

【0028】

次に、本実施の形態2に係るマルチプロセッサシステムの動作について説明する。まず、デバッグを実行すべきCPUを選択するために、チップ1の外部から端子21, 22, 23に、それぞれ信号S21, S20, S22を入力する。CPU7₀のみのデバッグを実行する場合は、「H」の信号S21、「L」の信号S22、「L」の信号S20が入力される。CPU7₁のみのデバッグを実行する場合は、「L」の信号S21、「H」の信号S22、「H」の信号S20が入力される。CPU7₀, 7₁の双方のデバッグを実行する場合は、いずれも「H」の信号S21, S22が入力される。また、この場合は、「L」「H」の信号S20が順次に入力される。

【0029】

信号S21は、AND回路200, 201の各他方の入力端子にそれぞれ入力される。信号S22は、AND回路202, 203の各他方の入力端子にそれぞれ入力される。信号S20は、セレクタ204の選択端子に入力される。

【0030】

次に、デバッグ装置から端子4を介して、AND回路200, 202の各一方の入力端子に、TMS信号がそれぞれ入力される。また、デバッグ装置から端子5を介して、AND回路201, 203の各一方の入力端子に、TDI信号がそれぞれ入力される。

【0031】

上記の通り、CPU7₀のみのデバッグを実行する場合、信号S21は「H」、信号S22は「L」である。従って、TMS信号及びTDI信号は、AND回路200, 201の各出力端子から、TAPコントローラ9₀のTMS端子及び

T D I 端子に、それぞれ入力される。一方、T A P コントローラ_{9₁}のT M S 端子及びT D I 端子には、T M S 信号及びT D I 信号は入力されない。その結果、上記実施の形態1と同様にして、C P U 7₀のみのデバッグが実行される。また、上記の通り、C P U 7₀のみのデバッグを実行する場合、信号S 2 0 は「L」である。従って、C P U 7₀のデバッグの結果に関するデータは、T A P コントローラ_{9₀}のT D O 端子から、セレクタ2 0 4 及び端子6を介して、外部に出力される。

【0032】

また、上記の通り、C P U 7₁のみのデバッグを実行する場合、信号S 2 1 は「L」、信号S 2 2 は「H」である。従って、T M S 信号及びT D I 信号は、A N D回路2 0 2, 2 0 3 の各出力端子から、T A P コントローラ_{9₁}のT M S 端子及びT D I 端子に、それぞれ入力される。一方、T A P コントローラ_{9₀}のT M S 端子及びT D I 端子には、T M S 信号及びT D I 信号は入力されない。その結果、上記実施の形態1と同様にして、C P U 7₁のみのデバッグが実行される。また、上記の通り、C P U 7₁のみのデバッグを実行する場合、信号S 2 0 は「H」である。従って、C P U 7₁のデバッグの結果に関するデータは、T A P コントローラ_{9₁}のT D O 端子から、セレクタ2 0 4 及び端子6を介して、外部に出力される。

【0033】

さらに、上記の通り、C P U 7₀, 7₁の双方のデバッグを実行する場合、信号S 2 1, S 2 2 はともに「H」である。従って、T M S 信号は、A N D回路2 0 0, 2 0 2 の各出力端子から、T A P コントローラ_{9₀}, 9₁の各T M S 端子に、それぞれ入力される。また、T D I 信号は、A N D回路2 0 1, 2 0 3 の各出力端子から、T A P コントローラ_{9₀}, 9₁の各T D I 端子に、それぞれ入力される。その結果、C P U 7₀, 7₁のデバッグが実行される。また、上記の通り、C P U 7₀, 7₁の双方のデバッグを実行する場合、信号S 2 0 は順次に「L」「H」となる。従って、端子6からは、C P U 7₀のデバッグの結果に関するデータ、及びC P U 7₁のデバッグの結果に関するデータが、この順に出力される。

【0034】

このように本実施の形態2に係るマルチプロセッサシステムは、端子2～6を含む一組の端子群のみを備える。そして、選択回路20によって、複数のCPU_{7₀}, 7₁の中から、デバックを実行すべき少なくとも一つのCPUが選択される。従って、チップ1に搭載されているCPUの個数が増えたとしても、それに応じて端子2～6を追加する必要がない。その結果、一台のデバッグ装置のみを用いて複数のCPU_{7₀}, 7₁のデバッグを実行できるため、コストの低減を図ることができる。

【0035】

また、選択回路20によって全てのCPU_{7₀}, 7₁が選択された場合は、全てのCPU_{7₀}, 7₁に関して同時にデバッグが行われる。そのため、複数のCPU_{7₀}, 7₁を備えるマルチプロセッサシステムにおいて、CPU_{7₀}, 7₁のデバッグを効率的に実行することができる。

【0036】

さらに、端子21～23を用いた簡単な構成によって選択回路20が実現されているため、システムが大型化・複雑化することを、最小限にとどめることができる。

【0037】

実施の形態3.

図3は、本発明の実施の形態3に係るマルチプロセッサシステムの構成を示すブロック図である。チップ1は、複数のCPU_{7₀}, 7₁と、デバッグ実行部8₀, 8₁と、デバッグ実行部8₀, 8₁を制御するTAPコントローラ9と、CPU_{7₀}, 7₁の中から、デバックを実行すべき少なくとも一つのCPUを選択する選択回路30と、端子2～6を含む一組の端子群とを備えている。CPU_{7₀}, 7₁は、それぞれデバッグ実行部8₀, 8₁に接続されており、TAPコントローラ9は、端子2～6に接続されている。選択回路30は、デバッグ実行部8₀, 8₁とTAPコントローラ9との間に接続されている。

【0038】

選択回路30は、レジスタ300、AND回路301, 302、及びセレクタ303を備えている。AND回路301の一方の入力端子はTAPコントローラ

9に、他方の入力端子はレジスタ300に、出力端子はデバッグ実行部8₀に、それぞれ接続されている。AND回路302の一方の入力端子はTAPコントローラ9に、他方の入力端子はレジスタ300に、出力端子はデバッグ実行部8₁に、それぞれ接続されている。セレクタ303の一方の入力端子はデバッグ実行部8₀に、他方の入力端子はデバッグ実行部8₁に、出力端子はTAPコントローラ9に、それぞれ接続されている。

【0039】

次に、本実施の形態3に係るマルチプロセッサシステムの動作について説明する。まず、デバッグを実行すべきCPUを選択するために、デバッグ装置又はCPU7₀, 7₁によってレジスタ300がアクセスされる。CPU7₀のみのデバッグを実行する場合は、信号S31が「H」、信号S32が「L」、信号S30が「L」になるように、レジスタ300が設定される。CPU7₁のみのデバッグを実行する場合は、信号S31が「L」、信号S32が「H」、信号S30が「H」になるように、レジスタ300が設定される。CPU7₀, 7₁の双方のデバッグを実行する場合は、信号S31, S32がともに「H」になるように、レジスタ300が設定される。また、この場合は、信号S30が順次に「L」「H」となるように、レジスタ300が設定される。

【0040】

信号S31は、AND回路301の他方の入力端子に入力される。信号S32は、AND回路302の他方の入力端子に入力される。信号S30は、セレクタ300の選択端子に入力される。

【0041】

次に、デバッグ装置から端子2～6を介して、TAPコントローラ9のTCK端子、TRS T端子、TMS端子、TDI端子に、TCK信号、TRS T信号、TMS信号、TDI信号がそれぞれ入力される。そして、TAPコントローラ9は、所定のコマンドを生成して出力する。

【0042】

上記の通り、CPU7₀のみのデバッグを実行する場合、信号S31は「H」、信号S32は「L」である。従って、TAPコントローラ9から出力されたコ

マンドは、AND回路301の出力端子から出力されて、デバッグ実行部8₀に
入力される。一方、デバッグ実行部8₁にはコマンドは入力されない。

【0043】

デバッグ実行部8₀は、CPU7₀にブレーク要求、スタート要求、命令コード
を入力し、CPU7₀のデバッグが実行される。デバッグの結果に関するデータ
は、CPU7₀からデバッグ実行部8₀に入力される。上記の通り、CPU7₀の
みのデバッグを実行する場合、信号S30は「L」である。従って、データは、
デバッグ実行部8₀から、セレクタ303、TAPコントローラ9、及び端子6
を介して、外部に出力される。

【0044】

また、上記の通り、CPU7₁のみのデバッグを実行する場合、信号S31は
「L」、信号S32は「H」である。従って、TAPコントローラ9から出力さ
れたコマンドは、AND回路302の出力端子から出力されて、デバッグ実行部
8₁に入力される。一方、デバッグ実行部8₀にはコマンドは入力されない。

【0045】

デバッグ実行部8₁は、CPU7₁にブレーク要求、スタート要求、命令コード
を入力し、CPU7₁のデバッグが実行される。デバッグの結果に関するデータ
は、CPU7₁からデバッグ実行部8₁に入力される。上記の通り、CPU7₁の
みのデバッグを実行する場合、信号S30は「H」である。従って、データは、
デバッグ実行部8₁から、セレクタ303、TAPコントローラ9、及び端子6
を介して、外部に出力される。

【0046】

さらに、上記の通り、CPU7₀、7₁の双方のデバッグを実行する場合、信号
S31、S32はともに「H」である。従って、TAPコントローラ9から出力
されたコマンドは、AND回路301、302の各出力端子から出力されて、デ
バッグ実行部8₀、8₁にそれぞれ入力される。その結果、上記と同様にしてCP
U7₀、7₁のデバッグが実行される。また、上記の通り、CPU7₀、7₁の双方
のデバッグを実行する場合、信号S30は順次に「L」「H」となる。従って、
端子6からは、CPU7₀のデバッグの結果に関するデータ、及びCPU7₁のデ

バッグの結果に関するデータが、この順に出力される。

【0047】

なお、以上の説明では、選択回路30は、デバックを実行すべきCPU7₀, 7₁を、レジスタ300の設定に基づいて選択したが、上記実施の形態2のように、外部から所定の端子21～23に入力される選択信号に基づいて選択するよう構成してもよい。

【0048】

このように本実施の形態3に係るマルチプロセッサシステムによれば、選択回路30は、デバッグ実行部8₀, 8₁とTAPコントローラ9との間に接続されている。従って、各CPU7₀, 7₁に対応してTAPコントローラ9₀, 9₁を個別に設ける必要がないため、上記実施の形態1, 2と比較して、システム構成の簡略化を図ることができる。

【0049】

実施の形態4。

図4は、本発明の実施の形態4に係るマルチプロセッサシステムの構成を示すブロック図である。チップ1は、複数のCPU7₀, 7₁と、デバッグ実行部8と、デバッグ実行部8を制御するTAPコントローラ9と、CPU7₀, 7₁の中から、デバックを実行すべき少なくとも一つのCPUを選択する選択回路40と、端子2～6を含む一組の端子群とを備えている。TAPコントローラ9は端子2～6に接続されており、デバッグ実行部8はTAPコントローラ9に接続されている。選択回路40は、CPU7₀, 7₁とデバッグ実行部8との間に接続されている。

【0050】

選択回路40は、レジスタ400、AND回路402, 403、及びセレクタ401を備えている。AND回路402の一方の入力端子はデバッグ実行部8に、他方の入力端子はレジスタ400に、出力端子はCPU7₀に、それぞれ接続されている。AND回路403の一方の入力端子はデバッグ実行部8に、他方の入力端子はレジスタ400に、出力端子はCPU7₁に、それぞれ接続されている。セレクタ401の一方の入力端子はCPU7₀に、他方の入力端子はCPU

7_1 に、出力端子はデバッグ実行部8に、それぞれ接続されている。

【0051】

次に、本実施の形態4に係るマルチプロセッサシステムの動作について説明する。まず、デバッグを実行すべきCPUを選択するために、デバッグ装置又はCPU 7_0 , 7_1 によってレジスタ400がアクセスされる。CPU 7_0 のみのデバッグを実行する場合は、信号S41が「H」、信号S42が「L」、信号S40が「L」になるように、レジスタ400が設定される。CPU 7_1 のみのデバッグを実行する場合は、信号S41が「L」、信号S42が「H」、信号S40が「H」になるように、レジスタ400が設定される。CPU 7_0 , 7_1 の双方のデバッグを実行する場合は、信号S41, S42がともに「H」になるように、レジスタ400が設定される。また、この場合は、信号S40が順次に「L」「H」となるように、レジスタ400が設定される。

【0052】

信号S41は、AND回路402の他方の入力端子に入力される。信号S42は、AND回路403の他方の入力端子に入力される。信号S40は、セレクタ400の選択端子に入力される。

【0053】

次に、デバッグ装置から端子2～6を介して、TAPコントローラ9のTCK端子、TRST端子、TMS端子、TDI端子に、TCK信号、TRST信号、TMS信号、TDI信号がそれぞれ入力される。そして、TAPコントローラ9は、所定のコマンドを生成して出力する。TAPコントローラ9から出力されたコマンドは、デバッグ実行部8に入力される。デバッグ実行部8は、ブレーク要求、スタート要求、命令コードを生成して出力する。

【0054】

上記の通り、CPU 7_0 のみのデバッグを実行する場合、信号S41は「H」、信号S42は「L」である。従って、デバッグ実行部8から出力された命令コード等は、AND回路402の出力端子から出力されて、CPU 7_0 に入力される。これにより、CPU 7_0 のデバッグが実行される。一方、CPU 7_1 には命令コード等は入力されない。また、上記の通り、CPU 7_0 のみのデバッグを実行

する場合、信号S40は「L」である。従って、CPU7₀のデバッグの結果に関するデータは、CPU7₀から、セレクタ401、デバッグ実行部8、TAPコントローラ9、及び端子6を介して、外部に出力される。

【0055】

また、上記の通り、CPU7₁のみのデバッグを実行する場合、信号S41は「L」、信号S42は「H」である。従って、デバッグ実行部8から出力された命令コード等は、AND回路403の出力端子から出力されて、CPU7₁に入力される。これにより、CPU7₁のデバッグが実行される。一方、CPU7₀には命令コード等は入力されない。また、上記の通り、CPU7₁のみのデバッグを実行する場合、信号S40は「H」である。従って、CPU7₁のデバッグの結果に関するデータは、CPU7₁から、セレクタ401、デバッグ実行部8、TAPコントローラ9、及び端子6を介して、外部に出力される。

【0056】

さらに、上記の通り、CPU7₀、7₁の双方のデバッグを実行する場合、信号S41、S42はともに「H」である。従って、デバッグ実行部8から出力された命令コード等は、AND回路402、403の各出力端子から出力されて、CPU7₀、7₁にそれぞれ入力される。その結果、上記と同様にしてCPU7₀、7₁のデバッグが実行される。また、上記の通り、CPU7₀、7₁の双方のデバッグを実行する場合、信号S40は順次に「L」「H」となる。従って、端子6からは、CPU7₀のデバッグの結果に関するデータ、及びCPU7₁のデバッグの結果に関するデータが、この順に出力される。

【0057】

なお、以上の説明では、選択回路40は、デバックを実行すべきCPU7₀、7₁を、レジスタ400の設定に基づいて選択したが、上記実施の形態2のように、外部から所定の端子21～23に入力される選択信号に基づいて選択するよう構成してもよい。

【0058】

このように本実施の形態4に係るマルチプロセッサシステムによれば、選択回路40は、CPU7₀、7₁とデバッグ実行部8との間に接続されている。従って

、各CPU 7_0 , 7_1 に対応してデバッグ実行部 8_0 , 8_1 及びTAPコントローラ 9_0 , 9_1 をそれぞれ個別に設ける必要がないため、上記実施の形態1, 2と比較して、システム構成の簡略化を図ることができる。

【0059】

実施の形態5.

図5は、本発明の実施の形態5に係るマルチプロセッサシステムの構成を示すブロック図である。チップ1は、複数のCPU 7_0 , 7_1 と、CPU 7_0 , 7_1 のデバッグを実行するデバッグ実行部 8_0 , 8_1 と、デバッグ実行部 8_0 , 8_1 を制御するTAPコントローラ 9_0 , 9_1 と、端子 2_0 ～ 6_0 を含む第1の端子群と、端子 2_1 ～ 6_1 を含む第2の端子群とを備えている。

【0060】

本実施の形態5に係るマルチプロセッサシステムは、第1及び第2の端子群の双方に第1及び第2のデバッグ装置がそれぞれ接続される第1モードと、第1の端子群のみに第1のデバッグ装置が接続される第2モードとを切り替えて、使用することが可能である。第1モードと第2モードとの切り替えは、端子 5_6 及びスイッチ 51_0 ～ 54_0 , 51_1 ～ 54_1 , 55 によって実現されている。

【0061】

また、本実施の形態5に係るマルチプロセッサシステムは、第2モードにおいて、第1のデバッグ装置から第1の端子群を介して入力されてきたデバッグ用の信号を、TAPコントローラ 9_0 , 9_1 のうちの一方又は双方に選択的に入力するための、選択回路50をさらに備えている。選択回路50は、上記実施の形態1, 2に係る選択回路10, 20と同様にして構成することができる。

【0062】

CPU 7_0 , 7_1 は、それぞれデバッグ実行部 8_0 , 8_1 に接続されており、デバッグ実行部 8_0 , 8_1 は、それぞれTAPコントローラ 9_0 , 9_1 に接続されている。TAPコントローラ 9_0 のTCK端子、TRST端子、TMS端子、TDI端子は、スイッチ 51_0 ～ 54_0 を介して、端子 2_0 ～ 5_0 及び選択回路50のTCK端子、TRST端子、TMS端子、TDI端子にそれぞれ接続されている。また、TAPコントローラ 9_0 のTDO端子は、選択回路50のTDO端子

子に接続されるとともに、スイッチ55を介して端子6₀に接続されている。同様に、TAPコントローラ9₁のTCK端子、TRST端子、TMS端子、TDI端子は、スイッチ51₁～54₁を介して、端子2₁～5₁及び選択回路50のTCK1端子、TRST1端子、TMS1端子、TDI1端子にそれぞれ接続されている。また、TAPコントローラ9₁のTDO端子は、選択回路50のTDO1端子及び端子6₁に接続されている。

【0063】

選択回路50のTDO_P端子は、スイッチ55を介して端子6₀に接続されている。また、選択回路50のTCKP端子、TRSTP端子、TMSP端子、TDP端子は、それぞれ端子2₀～5₀に接続されている。

【0064】

スイッチ51₀～54₀、51₁～54₁、55の切り替え（即ち第1モードと第2モードとの切り替え）は、外部から端子56に入力される信号S56に基づいて行われる。

【0065】

次に、本実施の形態5に係るマルチプロセッサシステムの動作について説明する。まず、第1モードの動作について説明する。第1モードにおいて、スイッチ51₀～54₀はそれぞれ端子2₀～5₀側に切り替えられ、スイッチ51₁～54₁はそれぞれ端子2₁～5₁側に切り替えられ、スイッチ55はTAPコントローラ9₀のTDO端子側に切り替えられる。これにより、TAPコントローラ9₀は端子2₀～6₀に直接的に接続されるとともに、TAPコントローラ9₁は端子2₁～6₁に直接的に接続される。そして、端子2₀～6₀に接続された第1のデバッグ装置を用いてCPU7₀のデバッグが実行されるとともに、端子2₁～6₁に接続された第2のデバッグ装置を用いてCPU7₁のデバッグが実行される。

【0066】

次に、第2モードの動作について説明する。図5に示すように、第2モードにおいて、スイッチ51₀～54₀、51₁～54₁、55は、それぞれ選択回路50側に切り替えられる。これにより、TAPコントローラ9₀、9₁は、選択回路50を介して端子2₀～6₀に接続される。そして、上記実施の形態1、2と同様に

、デバックを実行すべき少なくとも一つのCPU₇₀, 7₁が、選択回路50によって選択される。その後、端子2₀~6₀に接続された第1のデバッグ装置を用いて、デバッグが実行される。

【0067】

このように本実施の形態5に係るマルチプロセッサシステムによれば、チップ1に搭載されているCPU₇₀, 7₁の個数と同数のデバッグ装置を用意できる場合には、第1モードに切り替えることにより、複数のデバッグ装置を用いて各CPU₇₀, 7₁のデバッグを独立に実行することができる。一方、1台のデバッグ装置しか用意できない場合には、第2モードに切り替えることにより、選択回路50の選択によってCPU₇₀, 7₁のデバッグを実行することができる。

【0068】

また、端子56を用いた簡単な構成によって第1モードと第2モードとの切り替えが実現されているため、システムが大型化・複雑化することを、最小限にとどめることができる。

【0069】

実施の形態6.

図6は、本発明の実施の形態6に係るマルチプロセッサシステムの構成を示すブロック図である。上記実施の形態5では、第1モードと第2モードとの切り替えは、外部から端子56に入力される信号S56に基づいて行われた。これに対し、本実施の形態6において、第1モードと第2モードとの切り替えは、チップ1に配設された所定のレジスタ60の設定に基づいて行われる。

【0070】

図6を参照して、スイッチ51₀~54₀, 51₁~54₁, 55の切り替えは、レジスタ60から出力される信号S60に基づいて行われる。具体的には、上記実施の形態5と同様に、第1モードにおいて、スイッチ51₀~54₀はそれぞれ端子2₀~5₀側に切り替えられ、スイッチ51₁~54₁はそれぞれ端子2₁~5₁側に切り替えられ、スイッチ55はTAPコントローラ9₀のTDO端子側に切り替えられる。一方、第2モードにおいて、スイッチ51₀~54₀, 51₁~54₁, 55は、それぞれ選択回路50側に切り替えられる。その他の構成・動作

は上記実施の形態5と同様であるため、説明は省略する。

【0071】

このように本実施の形態6に係るマルチプロセッサシステムによれば、レジスター60を用いた簡単な構成によって第1モードと第2モードとの切り替えが実現されているため、システムが大型化・複雑化することを、最小限にとどめることができる。

【0072】

実施の形態7.

図7は、本発明の実施の形態7に係るマルチプロセッサシステムの構成を示すブロック図である。上記実施の形態5では、第1モードと第2モードとの切り替えは、外部から端子56に入力される信号S56に基づいて行われた。これに対し、本実施の形態7に係るマルチプロセッサシステムは、第2の端子群に第2のデバッグ装置が接続されているか否かを検出するクロック検出回路70をさらに備え、第1モードと第2モードとの切り替えは、クロック検出回路70の検出結果である信号S70に基づいて行われる。

【0073】

図7を参照して、クロック検出回路70は、端子2₁に接続されている。第2の端子群に第2のデバッグ装置が接続されていれば、第2のデバッグ装置から端子2₁を介してクロック検出回路70にクロックが入力される。クロック検出回路70は、クロックが入力されていることを検出すると、スイッチ51₀～54₀をそれぞれ端子2₀～5₀側に切り替え、スイッチ51₁～54₁をそれぞれ端子2₁～5₁側に切り替え、スイッチ55をTAPコントローラ9₀のTDO端子側に切り替える。一方、第2の端子群に第2のデバッグ装置が接続されていなければ、クロック検出回路70にはクロックが入力されない。クロック検出回路70は、クロックが入力されていないことを検出すると、スイッチ51₀～54₀、51₁～54₁、55を、それぞれ選択回路50側に切り替える。その他の構成・動作は上記実施の形態5と同様であるため、説明は省略する。

【0074】

このように本実施の形態7に係るマルチプロセッサシステムによれば、クロッ

ク検出回路70を用いた簡単な構成によって第1モードと第2モードとの切り替えが実現されているため、システムが大型化・複雑化することを、最小限にとどめることができる。

【0075】

【発明の効果】

第1の発明に係るマルチプロセッサシステムによれば、一台のデバッグ装置のみを用いて所望のプロセッサのデバッグを実行できるため、コストの低減を図ることができる。

【0076】

第2の発明に係るマルチプロセッサシステムによれば、用意できるデバッグ装置の台数に応じて第1モードと第2モードとを切り替えることにより、第1及び第2のプロセッサのデバッグを適切に実行することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係るマルチプロセッサシステムの構成を示すブロック図である。

【図2】 本発明の実施の形態2に係るマルチプロセッサシステムの構成を示すブロック図である。

【図3】 本発明の実施の形態3に係るマルチプロセッサシステムの構成を示すブロック図である。

【図4】 本発明の実施の形態4に係るマルチプロセッサシステムの構成を示すブロック図である。

【図5】 本発明の実施の形態5に係るマルチプロセッサシステムの構成を示すブロック図である。

【図6】 本発明の実施の形態6に係るマルチプロセッサシステムの構成を示すブロック図である。

【図7】 本発明の実施の形態7に係るマルチプロセッサシステムの構成を示すブロック図である。

【符号の説明】

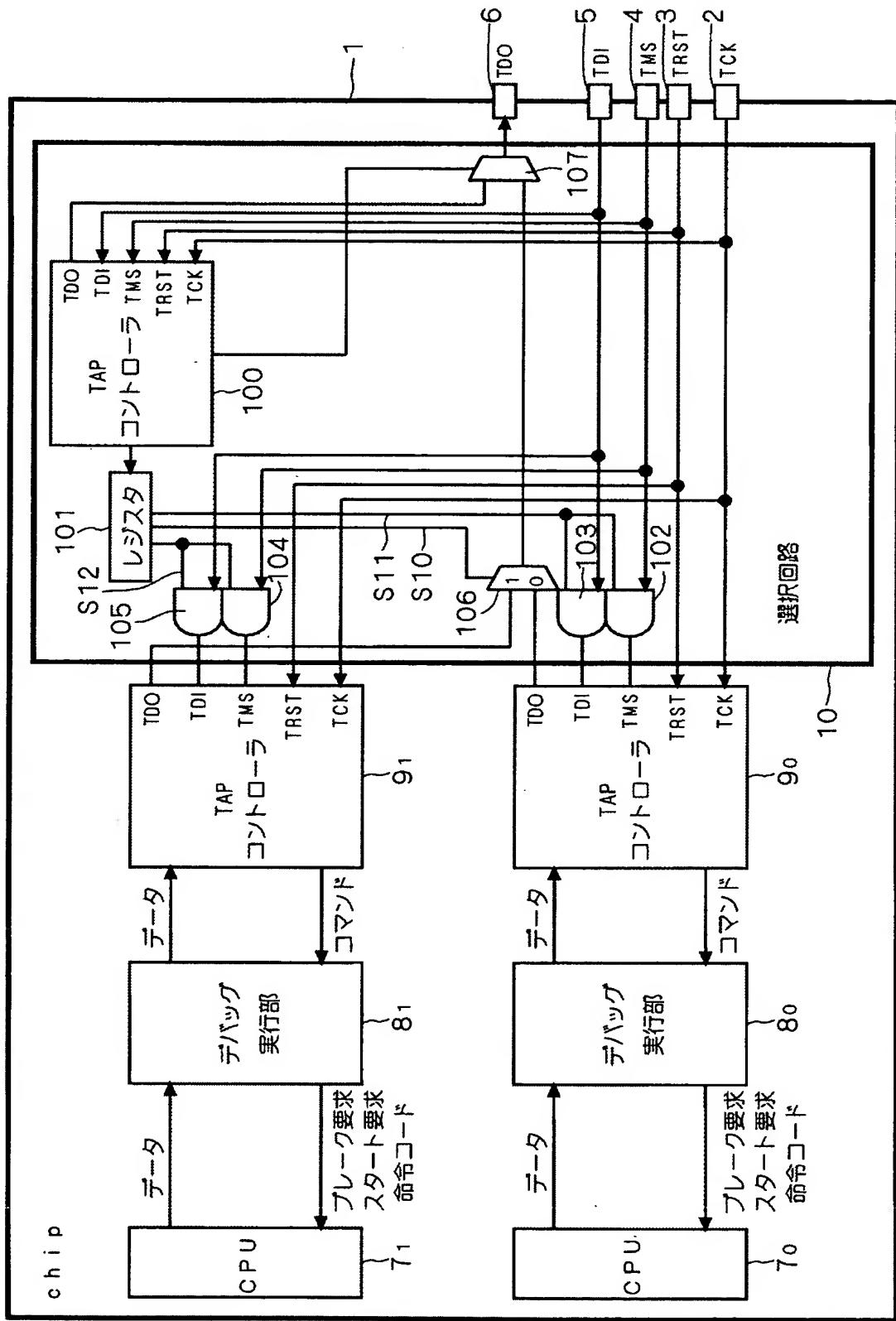
1 チップ、2～6、 2_0 ～ 6_0 、 2_1 ～ 6_1 、21～23 端子、 7_0 、 7_1 C

PU、8, 8₀, 8₁ デバッグ実行部、9, 9₀, 9₁ TAPコントローラ、10, 20, 30, 40, 50 選択回路、60, 101, 300, 400 レジスタ、70 クロック検出回路。

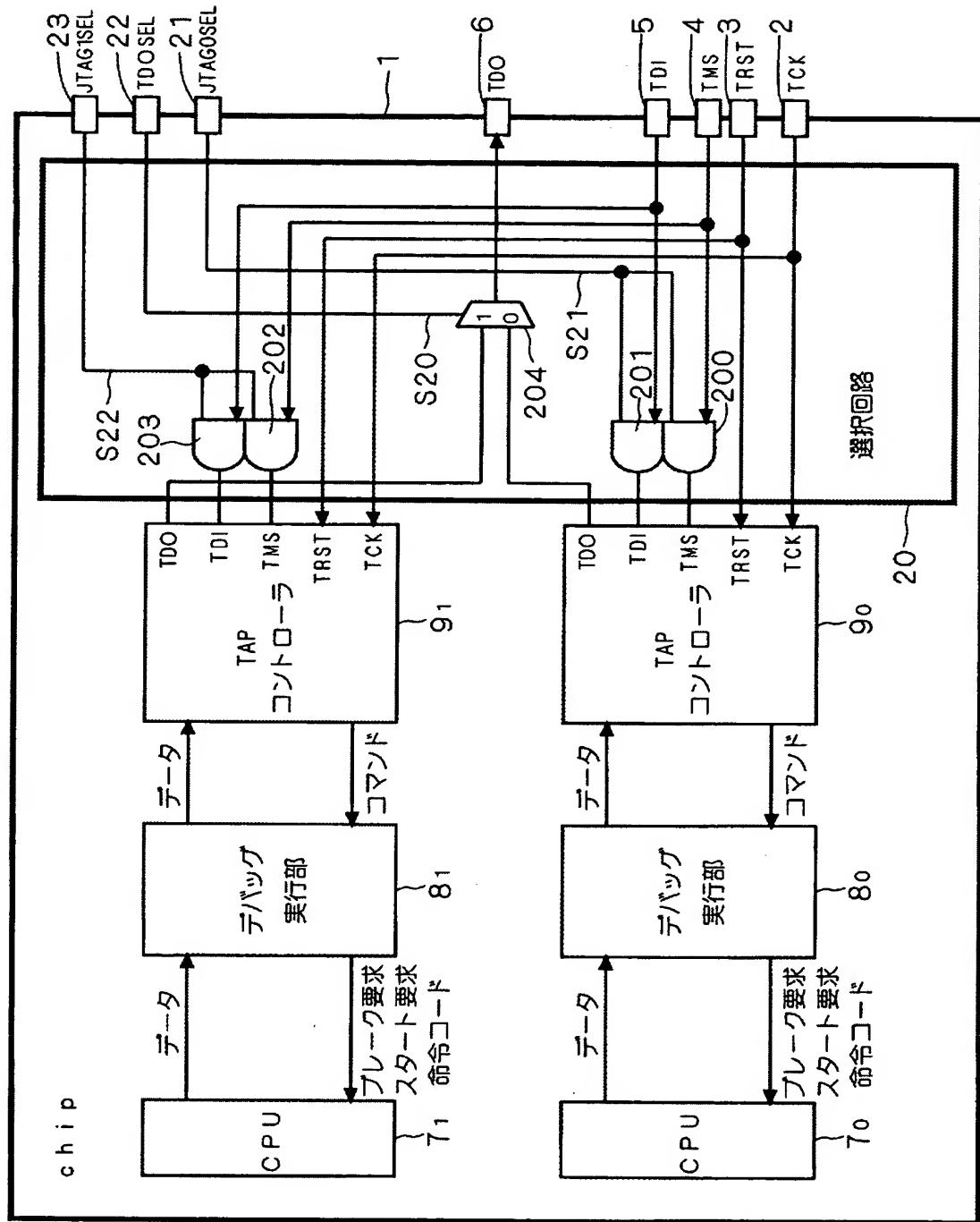
【書類名】

図面

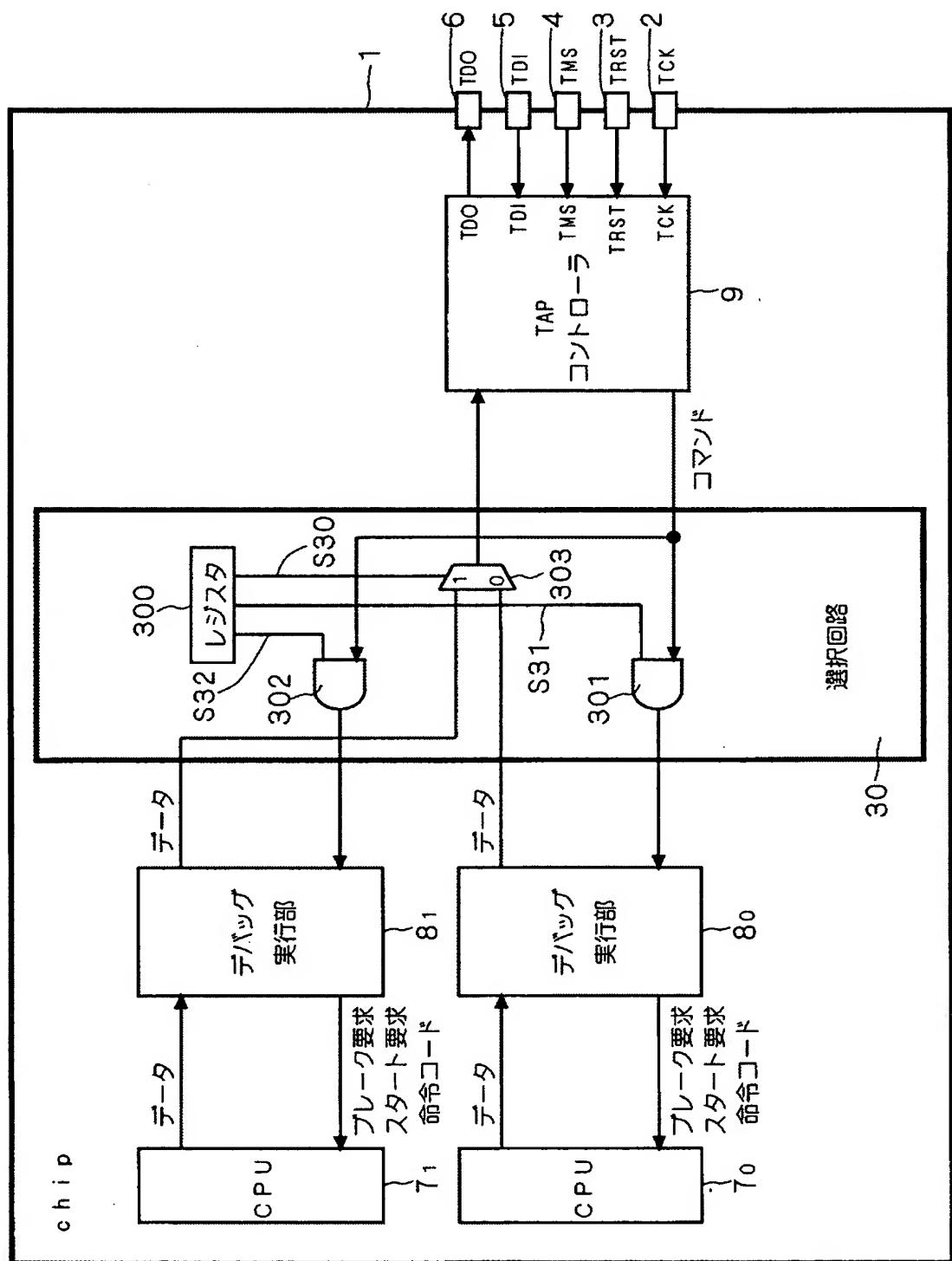
【図1】



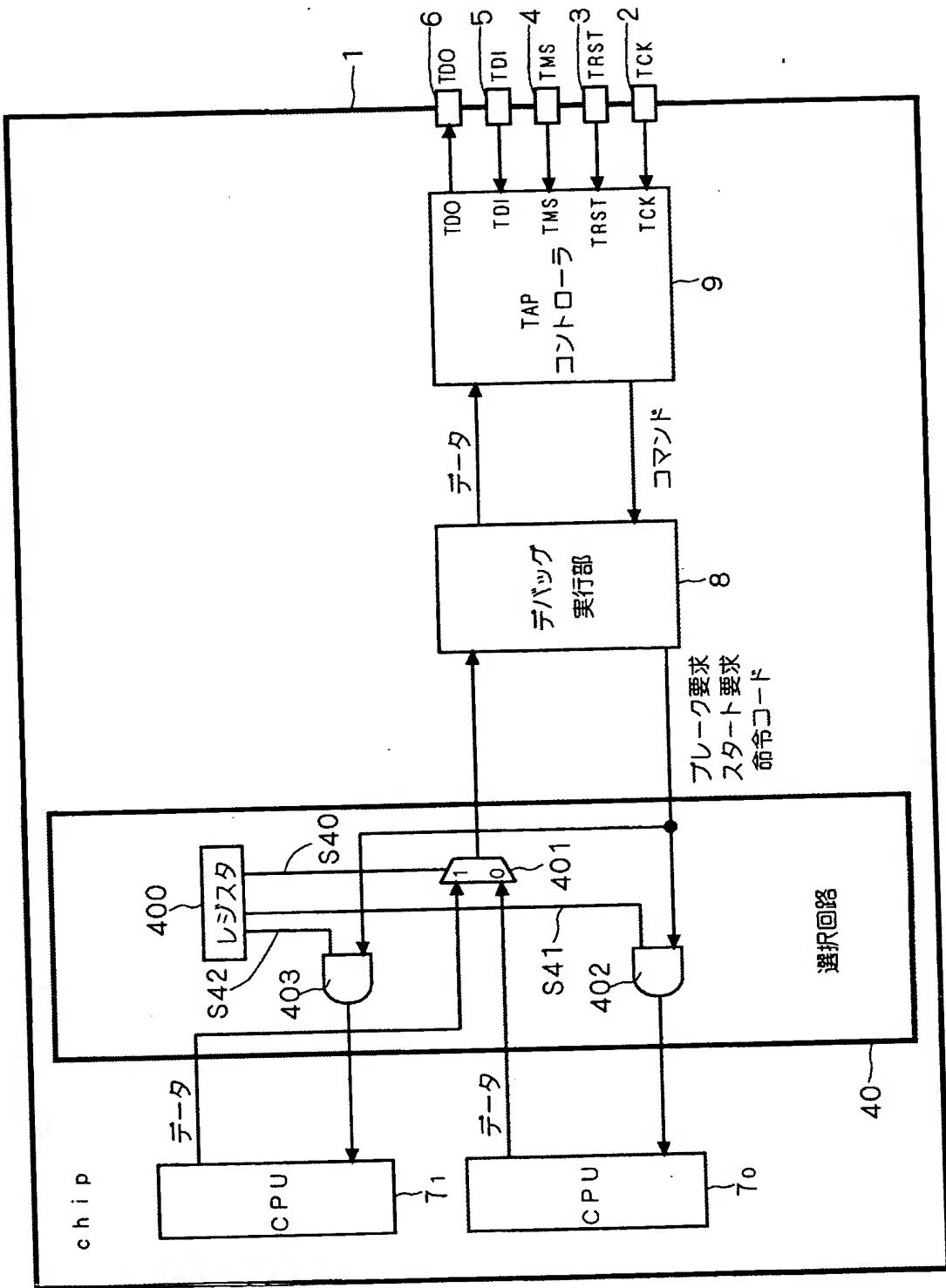
【図2】



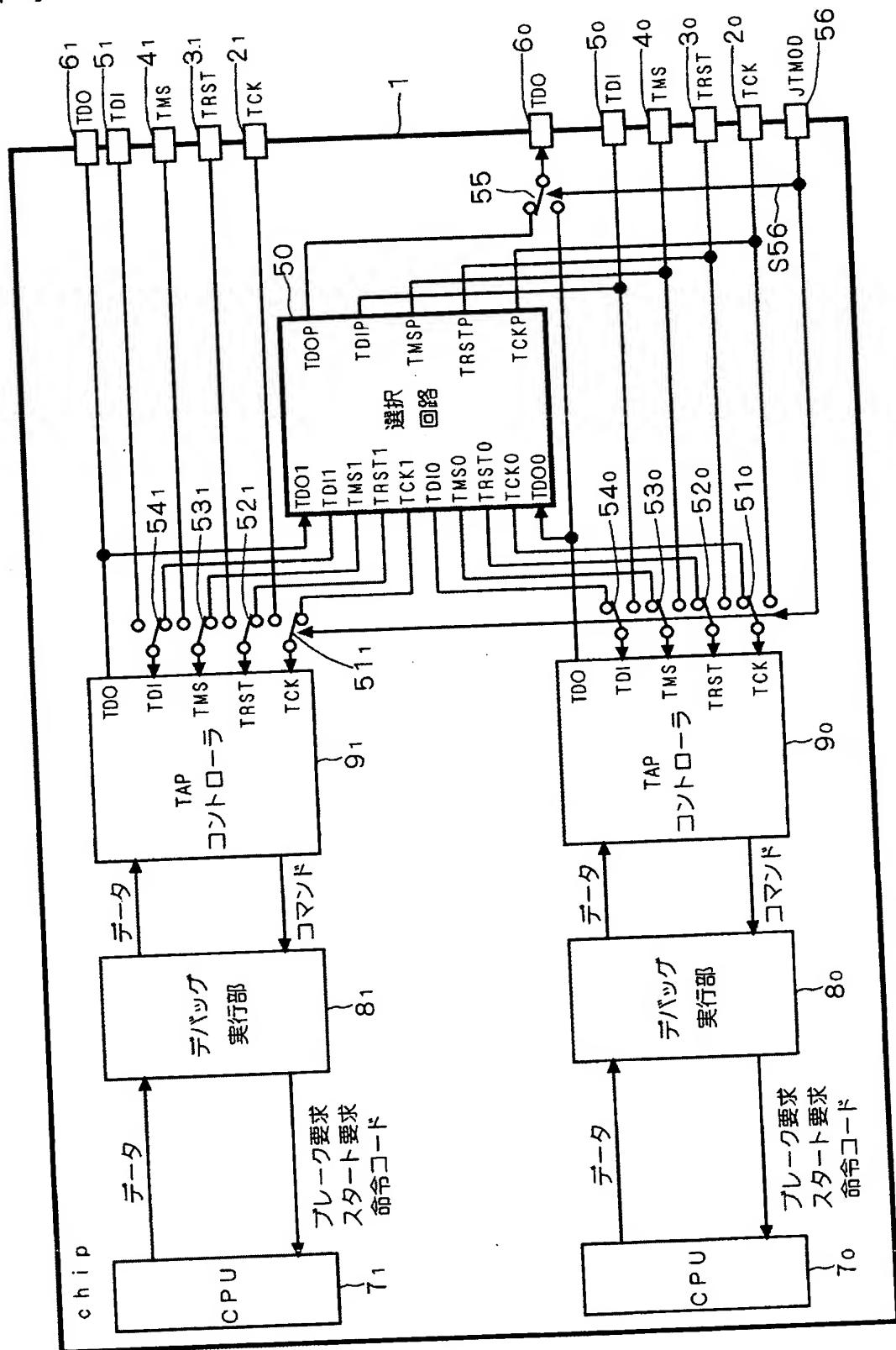
【図3】



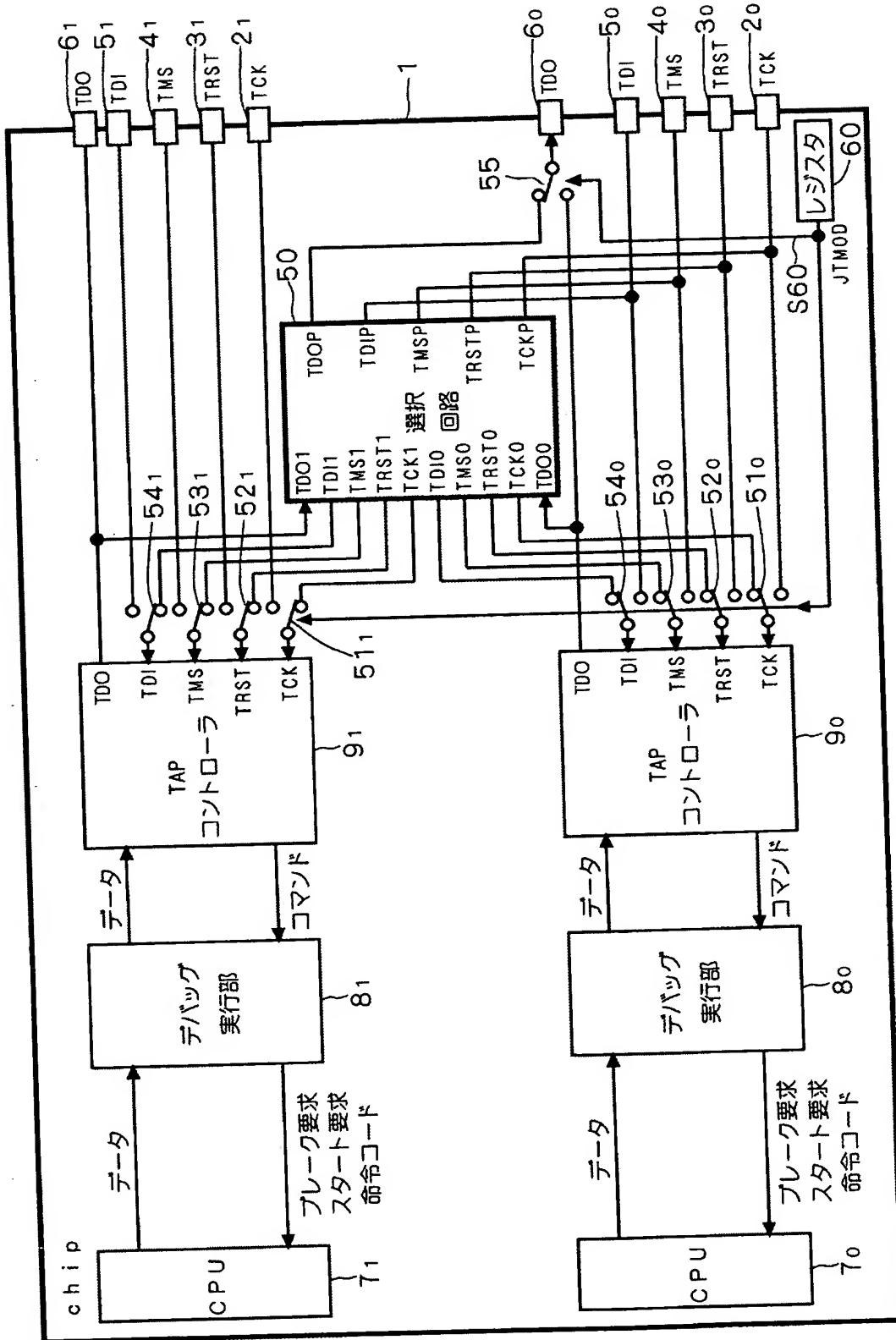
【図4】



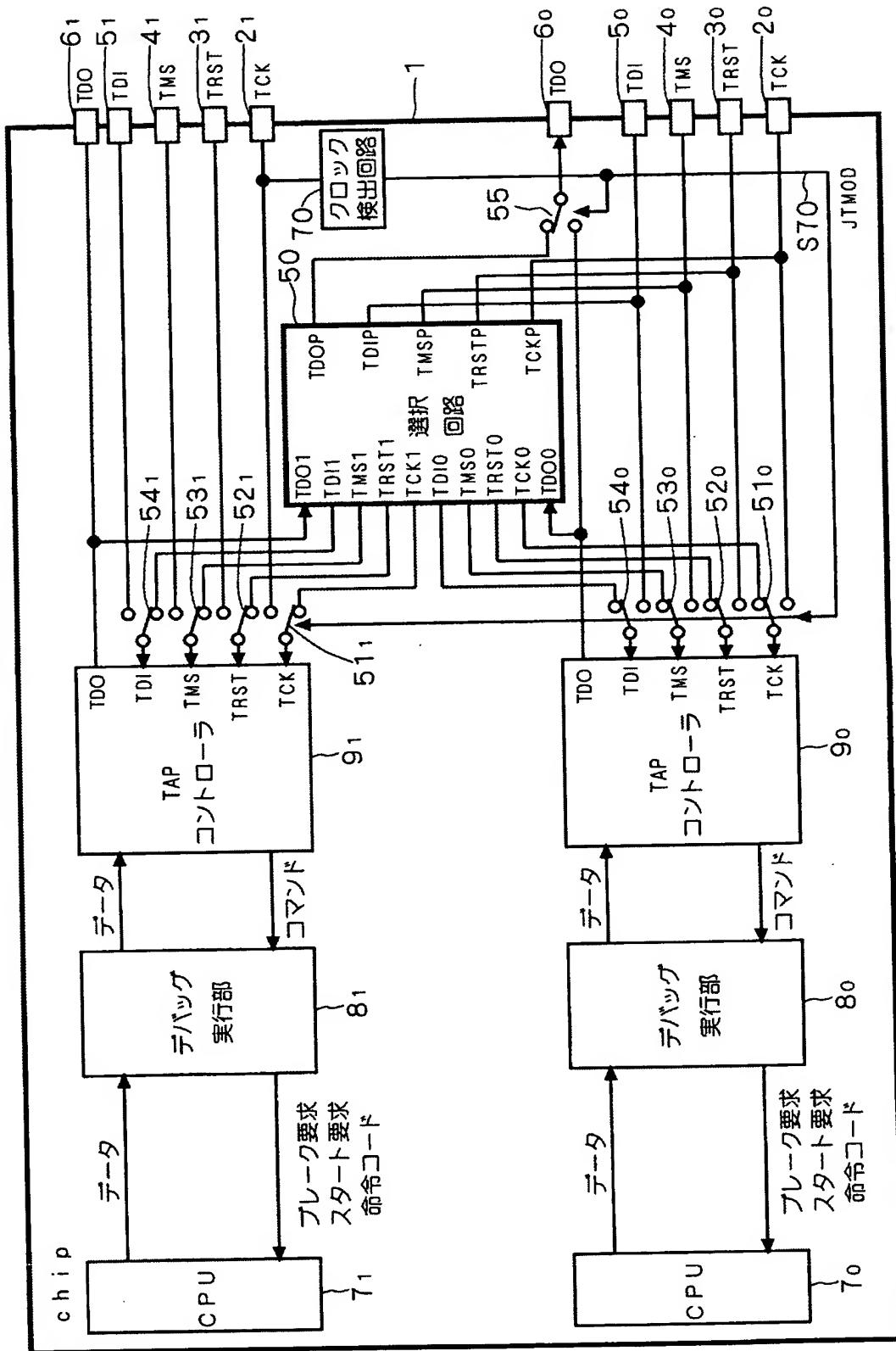
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 コストの低減を図りつつ、複数のプロセッサのデバッグを効率的に実行することが可能なマルチプロセッサシステムを得る。

【解決手段】 チップ1は、CPU_{7₀}, 7₁と、デバッグ実行部8₀, 8₁と、TAPコントローラ9₀, 9₁と、選択回路10と、端子2～6を含む一組の端子群とを備えている。CPU_{7₀}のみのデバッグを実行する場合、TAPコントローラ100は、信号S11が「H」、信号S12が「L」になるように、レジスタ101を設定する。CPU_{7₁}のみのデバッグを実行する場合、TAPコントローラ100は、信号S11が「L」、信号S12が「H」になるように、レジスタ101を設定する。CPU_{7₀}, 7₁の双方のデバッグを実行する場合、TAPコントローラ100は、信号S11, S12がともに「H」になるように、レジスタ101を設定する。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社